

FBDtoVerilog 변환기의 Correctness 를 검증하기 위한 자동화된 시나리오 생성기 구현

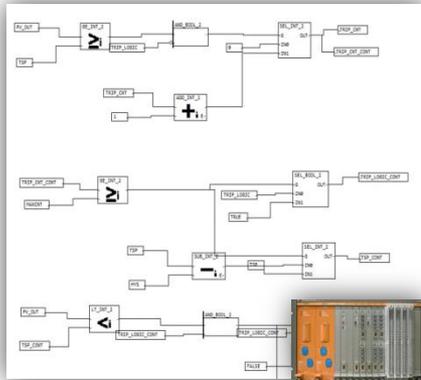
김의섭

- 건국대학교 -

- 소개
- 구현 도구
 - 시나리오 생성기의 특징
 - 시나리오 생성기 구성
 - 시나리오 생성기 입 출력
 - 시나리오 생성의 기본 원리
 - 생성된 시나리오의 문법
 - 도메인 특징을 반영한 시나리오 생성
- 사례연구
- 결론 및 향후 연구

소개

- 동기
 - FBDtoVerilog 변환기 검증
 - Co-Simulation 을 통한 간접적인 증명
- 목적
 - Co-Simulation 환경을 지원하는 자동화된 시나리오 생성기 구현



FBD program for **PLC**

Correct?

FBDtoVerilog

```
module fix_rising (rst, clk, PV_OUT, TRIP_CNT, TRIP_LOGIC, TSP);
  input clk;
  input rst;

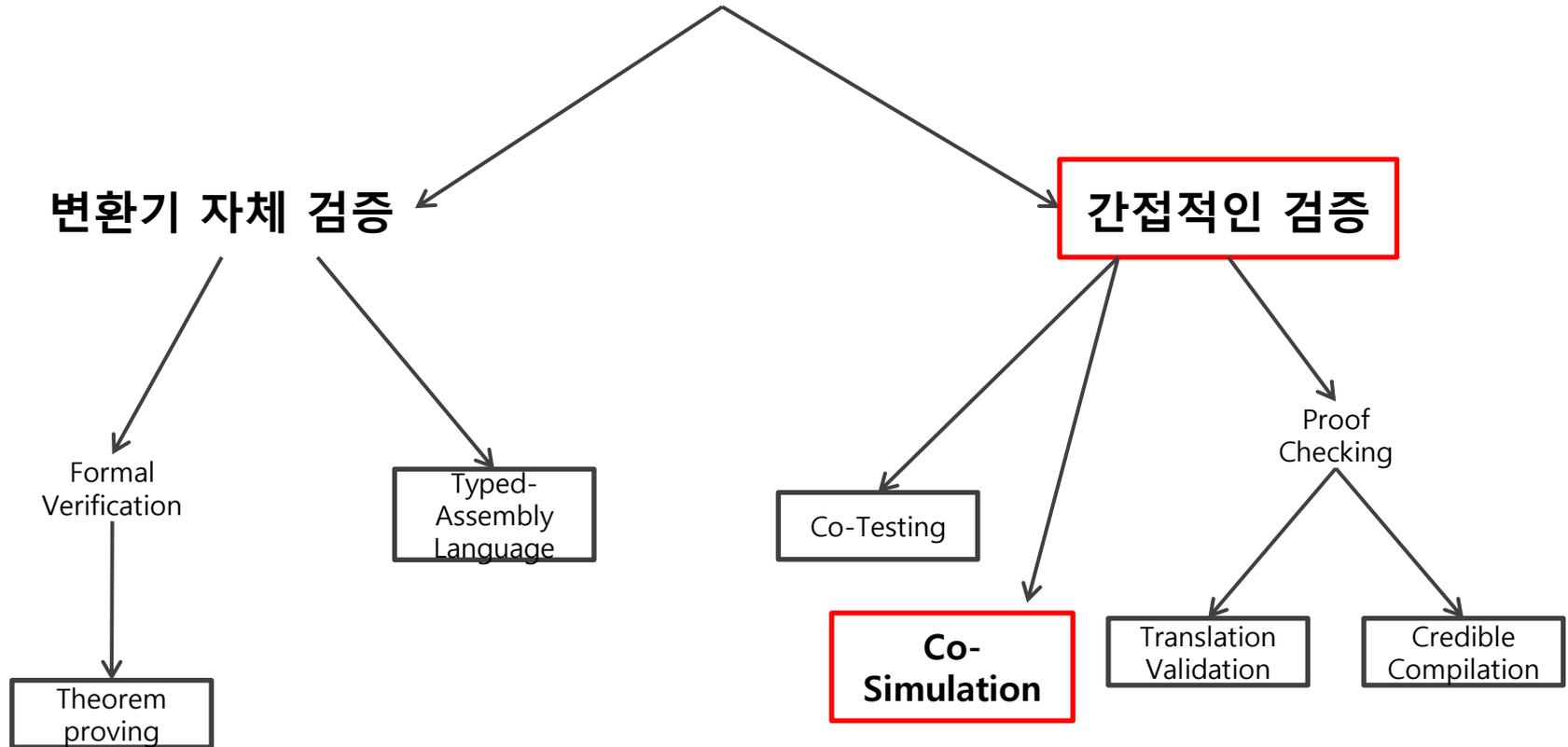
  input [8:0] PV_OUT;
  output [8:0] TRIP_CNT; reg [8:0] TRIP_CNT;
  output TRIP_LOGIC; reg TRIP_LOGIC;
  output [8:0] TSP; reg [8:0] TSP;
  parameter TSP = 1;
  parameter False = 0;
  parameter [8:0] MATCH = 80;
  reg [8:0] HYS = 80;

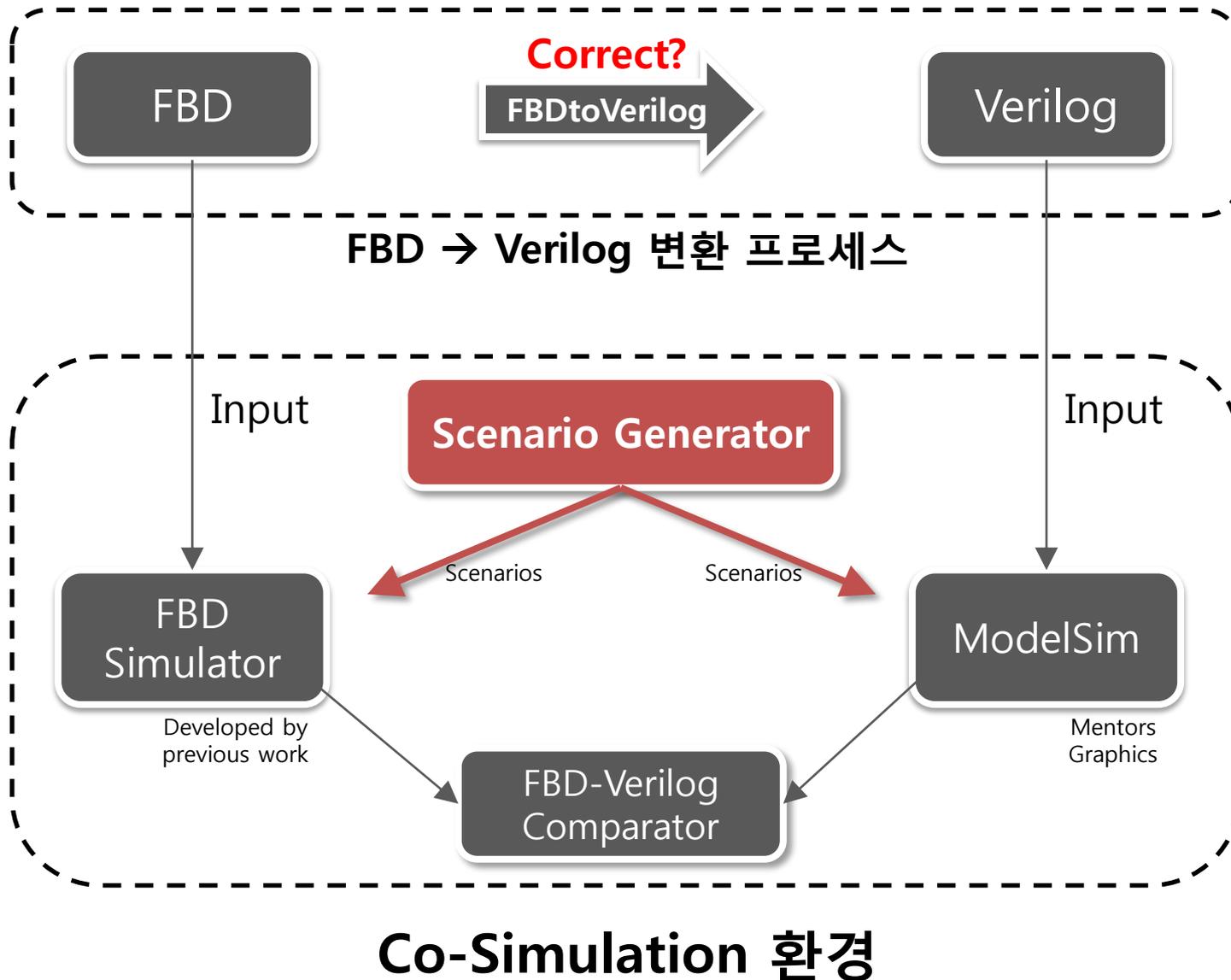
  wire GE_INT_2_wire_1_OUT;
  wire AND_BOOL_2_wire_2_OUT;
  wire [8:0] SEL_INT_2_wire_3_OUT;
  wire [8:0] ADD_INT_2_wire_4_OUT;
  wire AND_INT_2_wire_4_S;
  wire GE_INT_2_wire_14_OUT;
  wire SEL_BOOL_2_wire_14_OUT;
  wire [8:0] SEL_INT_2_wire_14_OUT;
  wire [8:0] SUB_INT_2_wire_17_OUT;
  wire SUB_INT_2_wire_17_S;
  wire [8:0] H_INT_2_wire_27_OUT;

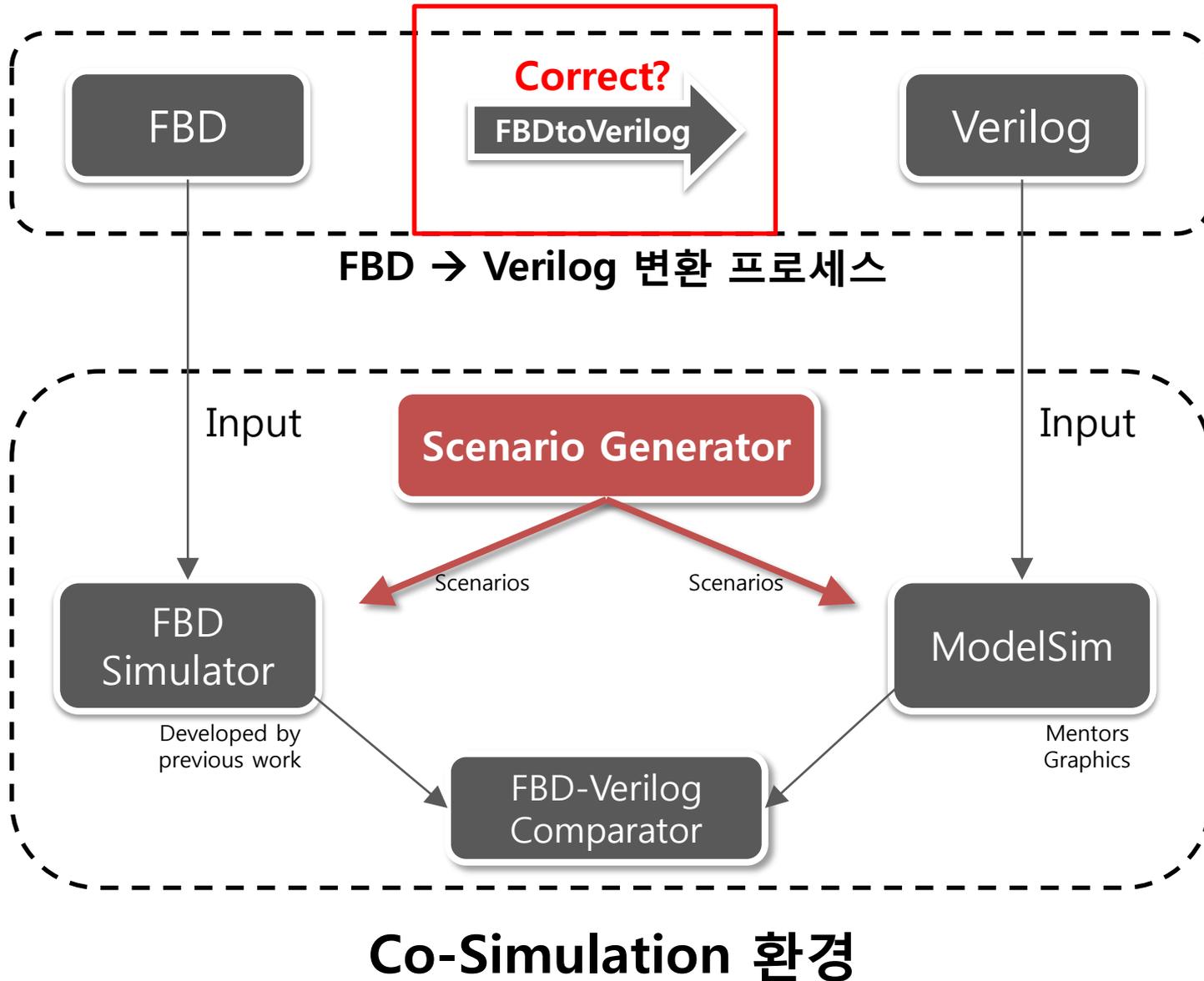
  GE_INT_2 GE_INT_2_1(test, clk, PV_OUT, TSP, GE_INT_2_wire_1_OUT);
  AND_BOOL_2 AND_BOOL_2_1(test, clk, GE_INT_2_wire_1_OUT, ~TRIP_LOGIC, AND_BOOL_2_wire_2_OUT);
  SEL_INT_2 SEL_INT_2_1(test, clk, AND_BOOL_2_wire_2_OUT, AND_INT_2_wire_4_OUT, SEL_INT_2_wire_3_OUT);
  ADD_INT_2 ADD_INT_2_1(test, clk, TRIP_CNT, 1, AND_INT_2_wire_4_OUT, ADD_INT_2_wire_4_S);
  GE_INT_2 GE_INT_2_14(test, clk, TRIP_CNT, MATCH, GE_INT_2_wire_14_OUT);
  SEL_BOOL_2 SEL_BOOL_2_14(test, clk, GE_INT_2_wire_14_OUT, TRIP_LOGIC, TSP, SEL_BOOL_2_wire_14_OUT);
  SEL_INT_2 SEL_INT_2_14(test, clk, GE_INT_2_wire_14_OUT, TSP, SUB_INT_2_wire_17_OUT, SEL_INT_2_wire_17_S);
  SUB_INT_2 SUB_INT_2_17(test, clk, TSP, HYS, SUB_INT_2_wire_17_OUT);
  H_INT_2 H_INT_2_27(test, clk, PV_OUT, TSP, CONT, H_INT_2_wire_27_OUT);
  AND_BOOL_2 AND_BOOL_2_28(test, clk, H_INT_2_wire_27_OUT, SEL_INT_2_wire_17_OUT, AND_BOOL_2_wire_28_OUT);
  SEL_INT_2 SEL_INT_2_28(test, clk, AND_BOOL_2_wire_28_OUT, SEL_BOOL_2_wire_14_OUT, AND_INT_2_wire_28_OUT);
  ADD_INT_2 ADD_INT_2_31(test, clk, TSP, CONT, HYS, ADD_INT_2_wire_31_OUT);
  assign TRIP_CNT = SEL_INT_2_wire_3_OUT;
  assign TRIP_LOGIC = SEL_BOOL_2_wire_14_OUT;
endmodule
```

Verilog program for **FPGA**

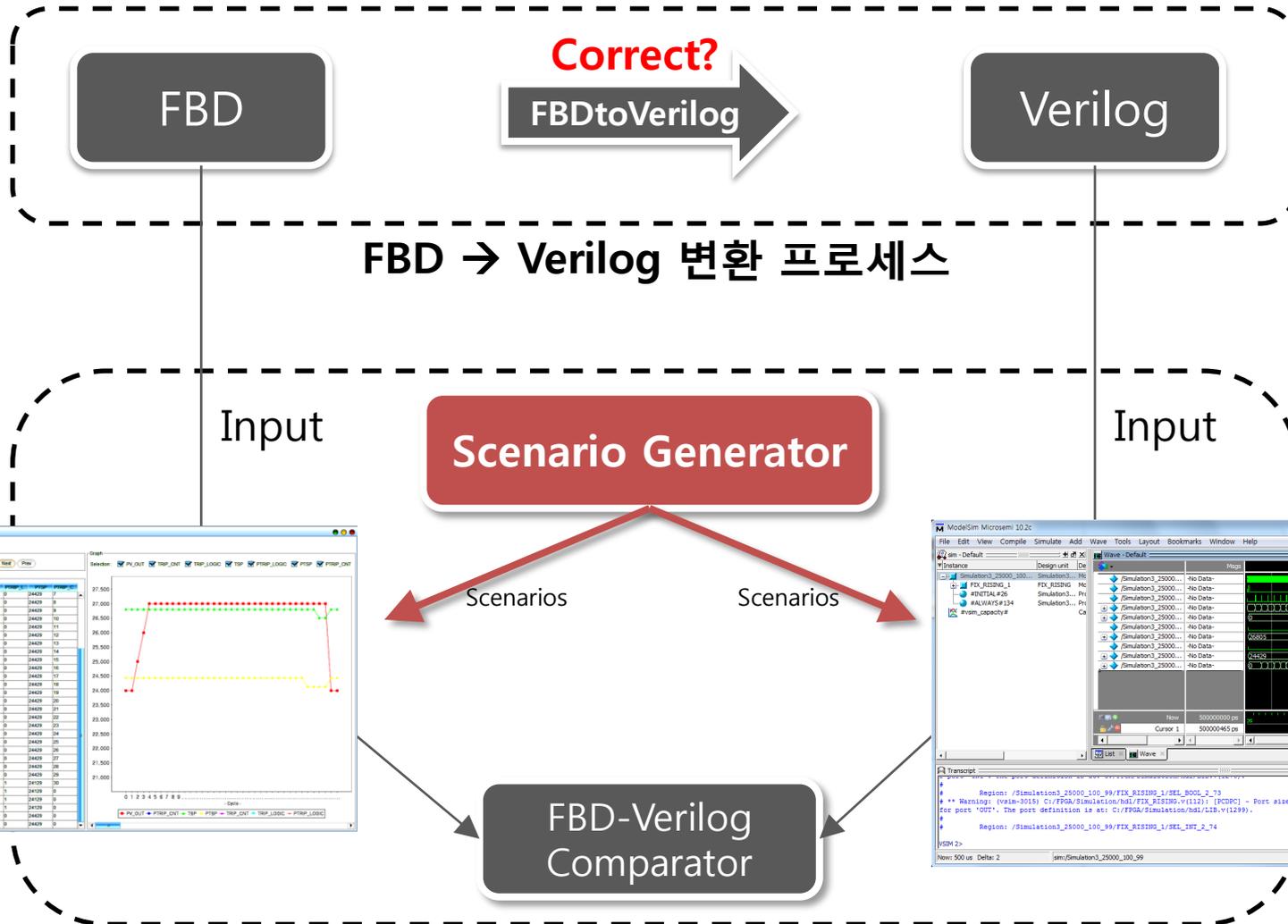
변환기 검증







소개 - Co-Simulation 환경

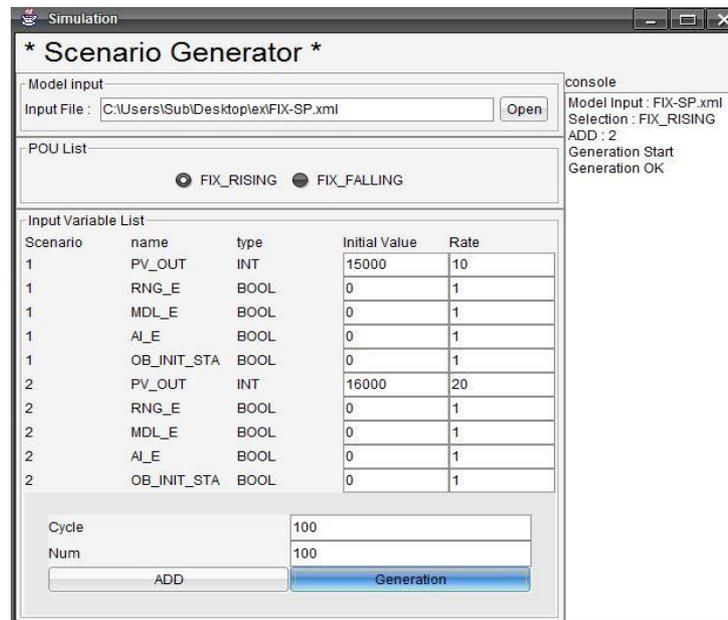


Co-Simulation 환경

구현 도구

- 특징

- 1. 자동화 생성 (무한한 수의 시나리오 생성)
- 2. 도메인의 특징을 반영한 시나리오 생성
- 3. FBD 시뮬레이션을 위한 시나리오 + ModelSim의 test bench 생성



시나리오 생성기 구성

FBD 입력

변화율 &
초기값 설정

* Scenario Generator *

Model input
Input File : C:\Users\Sub\Desktop\lex\FIX-SP.xml Open

POU List
 FIX_RISING FIX_FALLING

Input Variable List

Scenario	name	type	Initial Value	Rate
1	PV_OUT	INT	15000	10
1	RNG_E	BOOL	0	1
1	MDL_E	BOOL	0	1
1	AI_E	BOOL	0	1
1	OB_INIT_STA	BOOL	0	1
2	PV_OUT	INT	16000	20
2	RNG_E	BOOL	0	1
2	MDL_E	BOOL	0	1
2	AI_E	BOOL	0	1
2	OB_INIT_STA	BOOL	0	1

Cycle 100
Num 100
ADD Generation

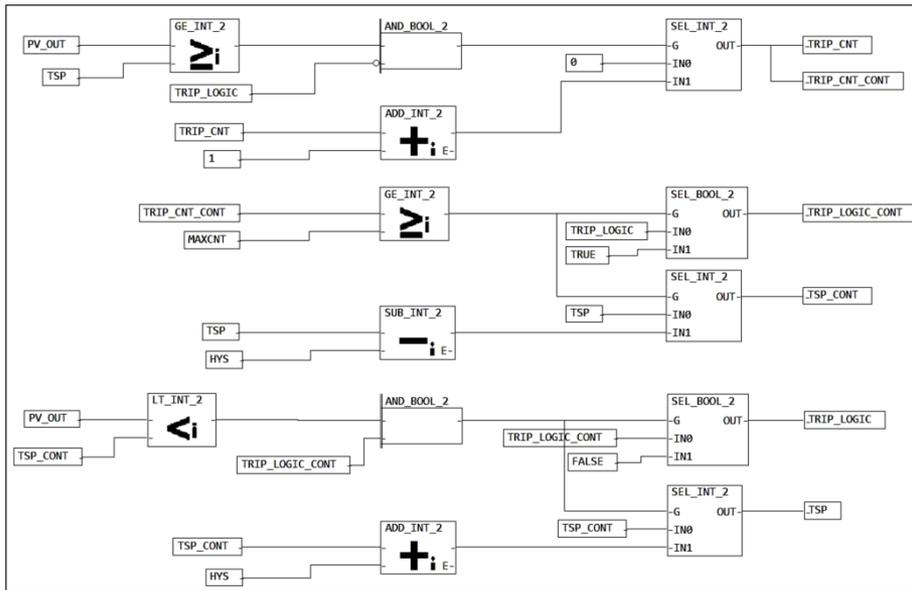
console
Model Input : FIX-SP.xml
Selection : FIX_RISING
ADD : 2
Generation Start
Generation OK

콘솔

시나리오
생성

시나리오 생성기 입 출력

- 입력
 - FBD (Function Block Diagram) – PLCOpen format
- 출력
 - FBD와 ModelSim을 위한 시나리오



```

initial
begin
    #(SYSCLK_PERIOD * 10 )
    NSYSRSET = 1'b1;
    #(SYSCLK_PERIOD * 10 )
    NSYSRSET = 1'b0;
    #(SYSCLK_PERIOD * 50 ) pulse = 1;  FV_OUT = 15000; #(SYSCLK_PERIOD / 2.0 ) pulse = 0;
    #(SYSCLK_PERIOD * 50 ) pulse = 1;  FV_OUT = 14998; #(SYSCLK_PERIOD / 2.0 ) pulse = 0;
    #(SYSCLK_PERIOD * 50 ) pulse = 1;  FV_OUT = 14997; #(SYSCLK_PERIOD / 2.0 ) pulse = 0;
    #(SYSCLK_PERIOD * 50 ) pulse = 1;  FV_OUT = 15001; #(SYSCLK_PERIOD / 2.0 ) pulse = 0;
    #(SYSCLK_PERIOD * 50 ) pulse = 1;  FV_OUT = 14996; #(SYSCLK_PERIOD / 2.0 ) pulse = 0;
    #(SYSCLK_PERIOD * 50 ) pulse = 1;  FV_OUT = 15000; #(SYSCLK_PERIOD / 2.0 ) pulse = 0;
    #(SYSCLK_PERIOD * 50 ) pulse = 1;  FV_OUT = 15000; #(SYSCLK_PERIOD / 2.0 ) pulse = 0;
    #(SYSCLK_PERIOD * 50 ) pulse = 1;  FV_OUT = 14995; #(SYSCLK_PERIOD / 2.0 ) pulse = 0;
    
```

```

Name begin
text1_i_0
end

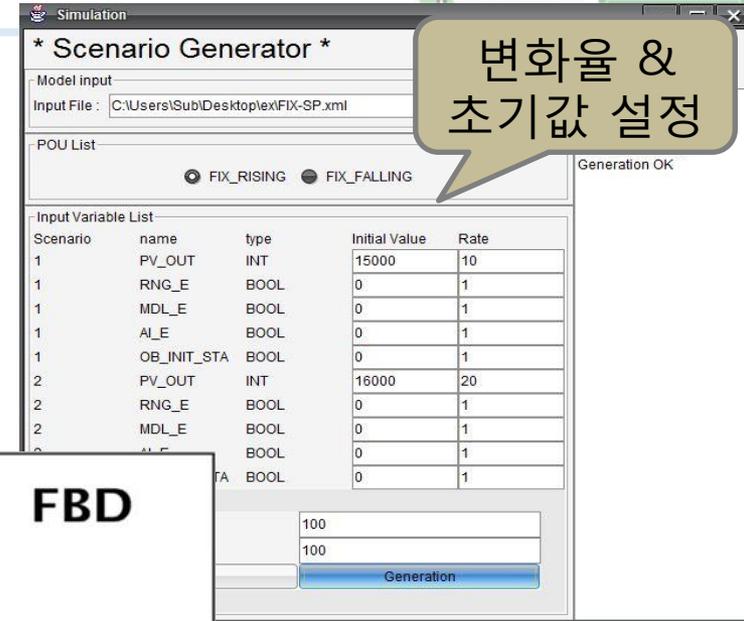
Inputs begin
FV_OUT
end

Simulation begin
15000 14998 14997 15001 14996 15000 15000 14995 14997 14992
14990 14986 14977 14975 14969 14967 14963 14968 14961 14964
14963 14954 14953 14961 14958 14954 14956 14953 14946 14952
14946 14955 14962 14956 14962 14966 14963 14963 14962 14971
14967 14963 14959 14953 14950 14941 14932 14929 14924 14929
14928 14934 14927 14924 14918 14917 14917 14924 14927 14922
14918 14918 14919 14923 14918 14913 14920 14927 14922 14919
14920 14918 14909 14900 14901 14902 14908 14913 14913 14911
14915 14912 14912 14912 14907 14913 14904 14898 14890 14889
14891 14891 14890 14898 14895 14904 14903 14897 14894 14901
end
    
```

시나리오 생성의 기본 원리

- 랜덤 생성

- 무한한 수의 시나리오 생성 가능



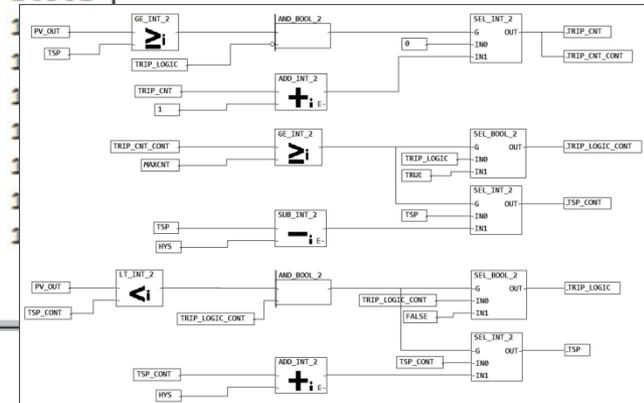
```
Name begin
text1_1_0
end

Inputs begin
PV_OUT
end

Simulation begin
15000 14998 14997 15001 14996 15000 15000 14995 14997 14992
14990 14986 14977 14975 14969 14967 14963 14968 14961 14964
14963 14954 14953 14961 14958 14954 14956 14953 14946 14952
14946 14955 14962 14956 14962 14966 14965 14963 14962 14962
14967 14963 14959 14953 14950 14941 14932 14929 14924 14924
14928 14934 14927 14924 14918 14917 14917 14924 14927 14927
14918 14918 14919 14923 14918 14913 14920 14927 14922 14922
14920 14918 14909 14900 14901 14902 14908 14913 14913 14913
14915 14912 14912 14912 14907 14913 14904 14898 14890 14890
14891 14891 14890 14898 14895 14904 14903 14897 14894 14894

end
```

FBD



생성된 시나리오의 문법

```
Name begin
text1_1_0
end

Inputs begin
PV_OUT
end

Simulation begin
15000 14998 14997 15001 14996 15000 15000 14995 14997 14992
14990 14986 14977 14975 14969 14967 14963 14968 14961 14964
14963 14954 14953 14961 14958 14954 14956 14953 14946 14952
14946 14955 14962 14956 14962 14966 14965 14963 14962 14971
14967 14963 14959 14953 14950 14941 14932 14929 14924 14929
14928 14934 14927 14924 14918 14917 14917 14924 14927 14922
14918 14918 14919 14923 14918 14913 14920 14927 14922 14919
14920 14918 14909 14900 14901 14902 14908 14913 14913 14911
14915 14912 14912 14912 14907 14913 14904 14898 14890 14889
14891 14891 14890 14898 14895 14904 14903 14897 14894 14901

end
```

FBD

생성된 시나리오의 문법

시나리오 이름

입력 변수

생성된 시나리오

FBD

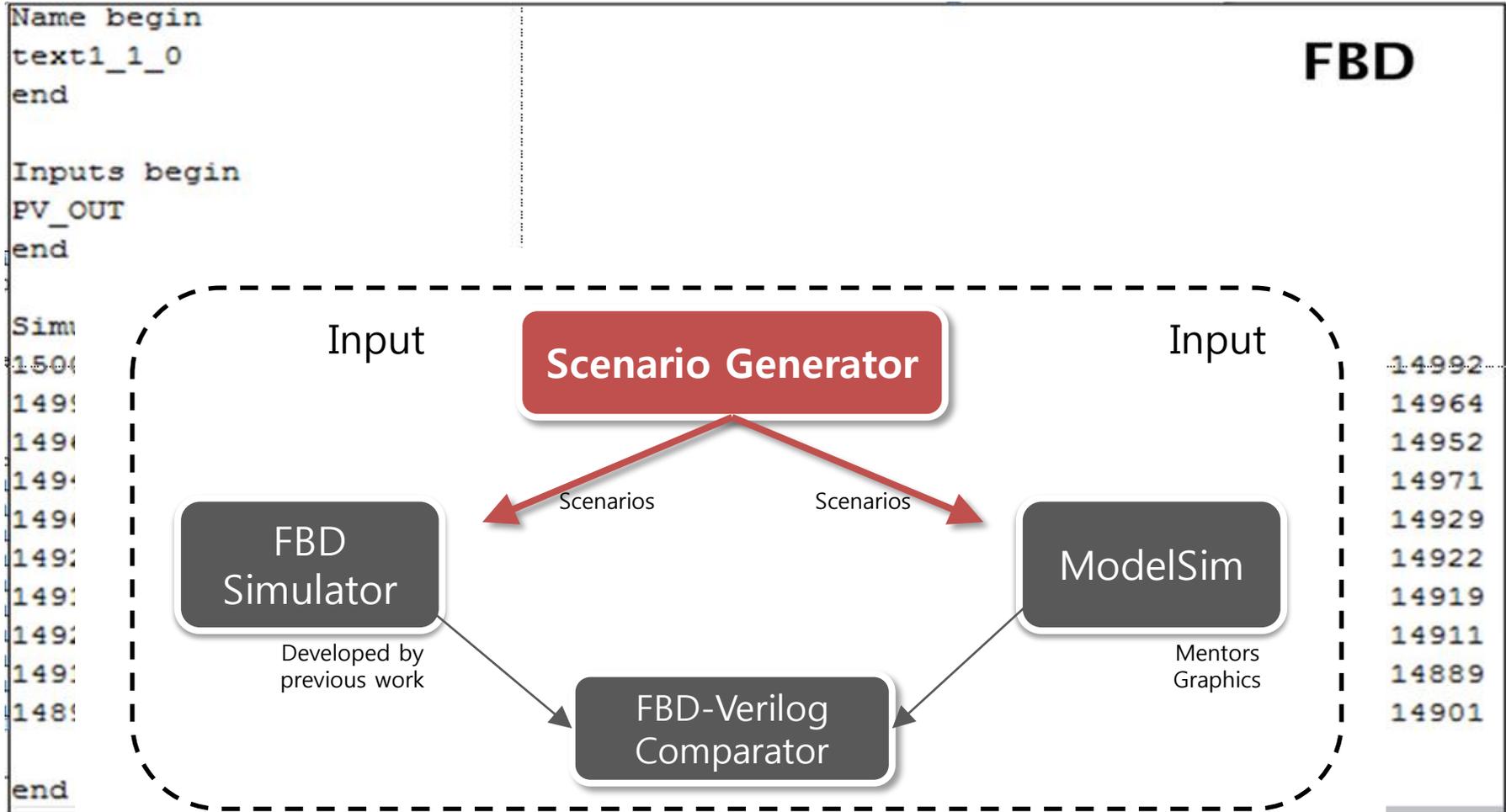
```
Name begin
text1_1_0
end

Inputs begin
PV_OUT
end

Simulation begin
15000 14998 14997 15001 14996 15000 15000 14995 14997 14992
14990 14986 14977 14975 14969 14967 14963 14968 14961 14964
14963 14954 14953 14961 14958 14954 14956 14953 14946 14952
14946 14955 14962 14956 14962 14966 14965 14963 14962 14971
14967 14963 14959 14953 14950 14941 14932 14929 14924 14929
14928 14934 14927 14924 14918 14917 14917 14924 14927 14922
14918 14918 14919 14923 14918 14913 14920 14927 14922 14919
14920 14918 14909 14900 14901 14902 14908 14913 14913 14911
14915 14912 14912 14912 14907 14913 14904 14898 14890 14889
14891 14891 14890 14898 14895 14904 14903 14897 14894 14901

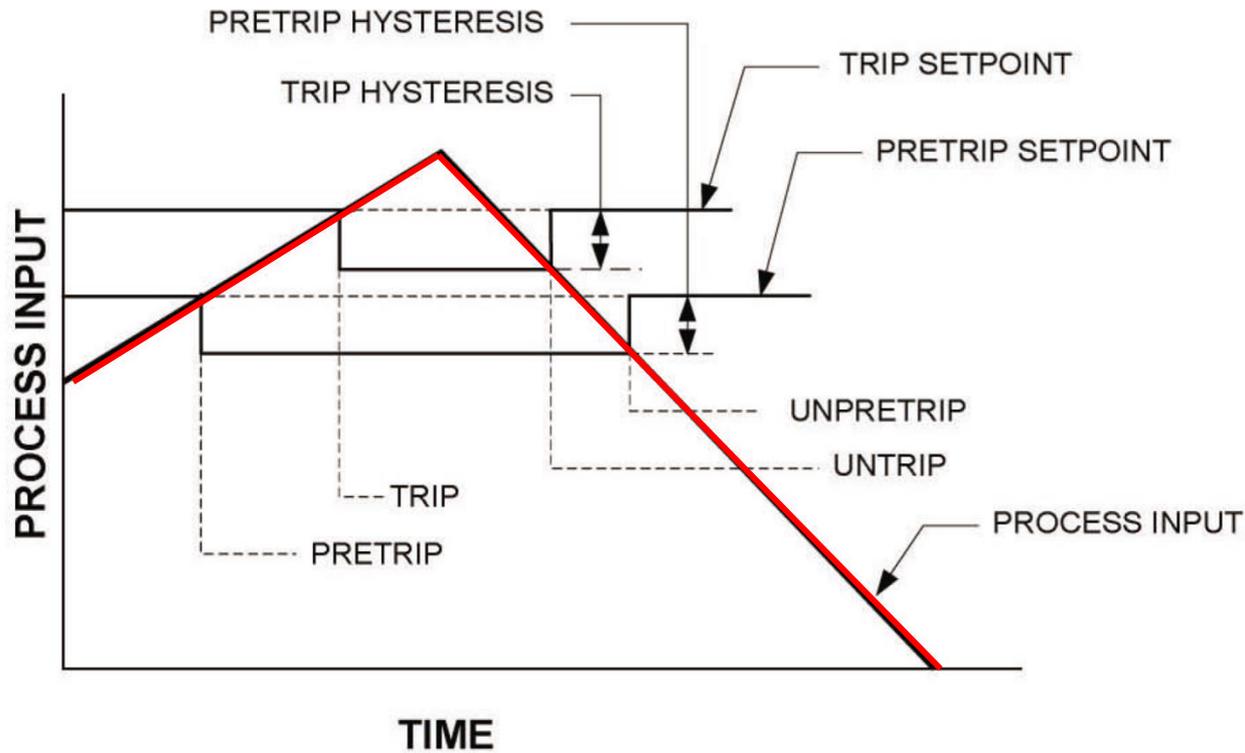
end
```

생성된 시나리오의 문법



- 원자력 발전소의 RPS (Reactor Protection System)

- 특정 상황 시 셧다운 시그널 출력
- 입력은 아날로그로써 연속적인 값이 디지털화 되어 입력



FIX-Rising Logic

도메인 특징을 반영한 시나리오 생성

- RPS(Reactor Protection System)
 - 특정 상황 시 섯다운 시그널 출력
 - 입력은 아날로그로써 연속적인 값이 디지털

변화율 & 초기값 설정

Simulation * Scenario Generator *

Model input
 Input File : C:\Users\Sub\Desktop\lex\FIX-SP.xml

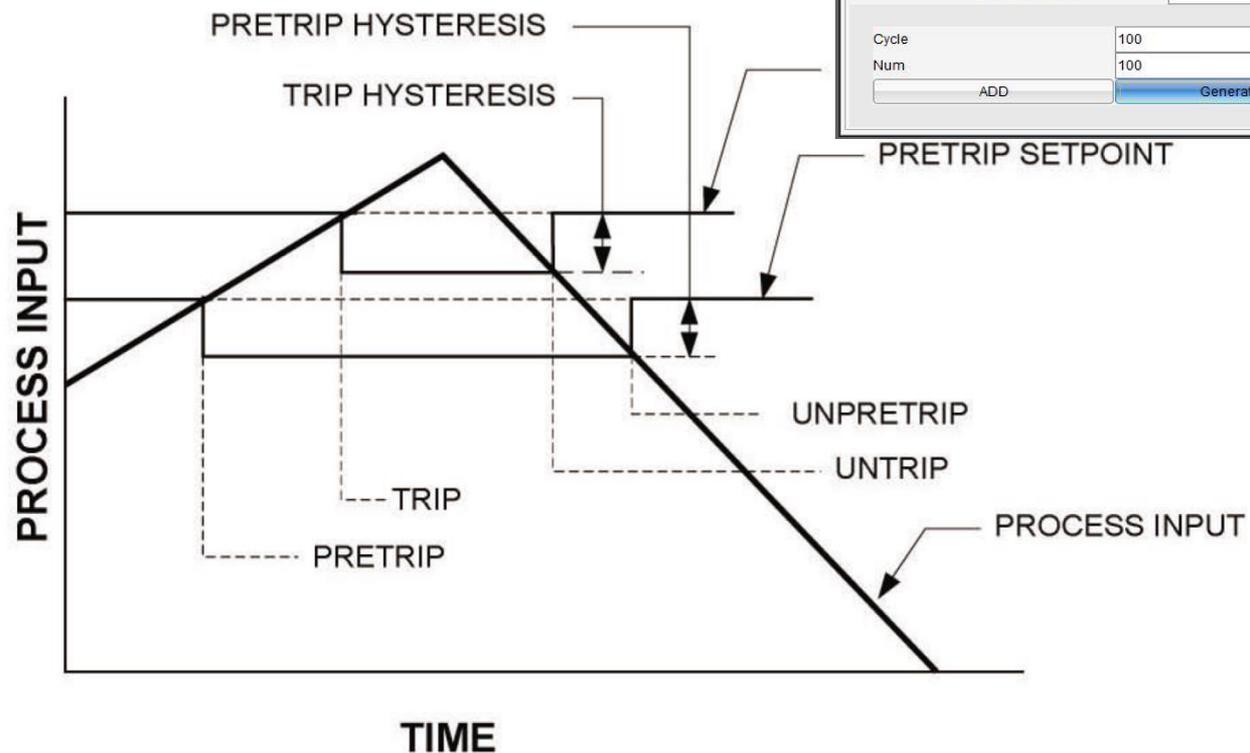
POU List
 FIX_RISING FIX_FALLING

Generation OK

Input Variable List

Scenario	name	type	Initial Value	Rate
1	PV_OUT	INT	15000	10
1	RNG_E	BOOL	0	1
1	MDL_E	BOOL	0	1
1	AI_E	BOOL	0	1
1	OB_INIT_STA	BOOL	0	1
2	PV_OUT	INT	16000	20
2	RNG_E	BOOL	0	1
2	MDL_E	BOOL	0	1
2	AI_E	BOOL	0	1
2	OB_INIT_STA	BOOL	0	1

Cycle: 100
 Num: 100

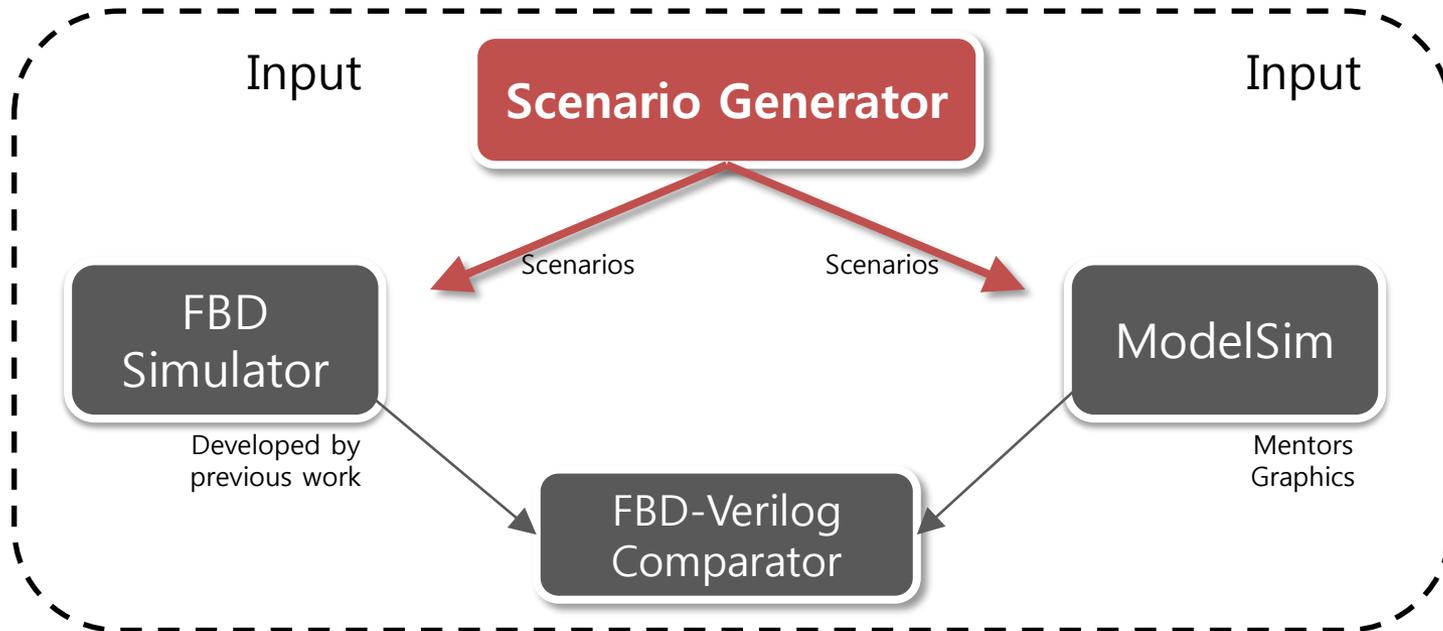
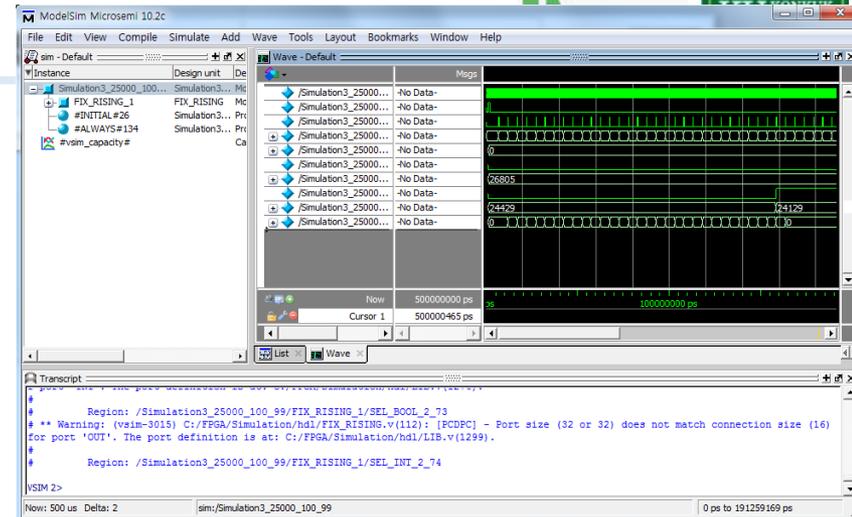
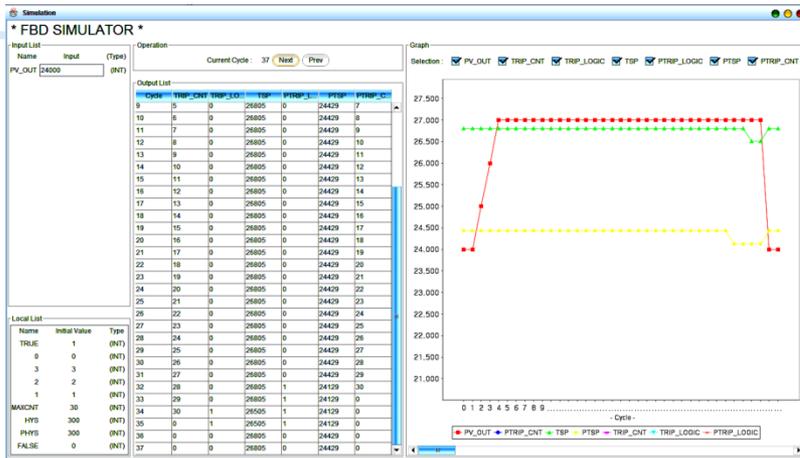


FIX-Rising Logic

적용 사례

- 원자력 발전소의 RPS BP 로직 중 FIX-RISING 과 FIX-FALLING 에 대해 수행

Name of Logic	Scenarios	Initial Values	Rate of Change	Cycles
FIX-RISING	1,000	27,000 – 28,000 (Stepwise: 100)	10 – 100 (Stepwise: 10)	100
FIX-FALLING	1,000	12,000 – 13,000 (Stepwise: 100)	10 – 100 (Stepwise: 10)	100
Total	2,000		All correct	



Co-Simulation 환경

결론 및 향후 연구

- **결론**

- FBDtoVerilog 변환기의 Correctness 를 검증하기 위한
- Co-Simulation 환경을 지원하는 도구인 시나리오 생성기를 구현

- **향후 연구**

- 질 높은 시나리오 생성을 위한 연구 필요
 - 경계 값을 중심으로 생성된 시나리오
 - 특정 커버리지를 만족하는 시나리오

감사합니다.